

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-151954  
 (43)Date of publication of application : 23.05.2003

(51)Int.CI. H01L 21/3065

(21)Application number : 2001-351652 (71)Applicant : MITSUBISHI ELECTRIC CORP  
 (22)Date of filing : 16.11.2001 (72)Inventor : SHINTANI KENJI

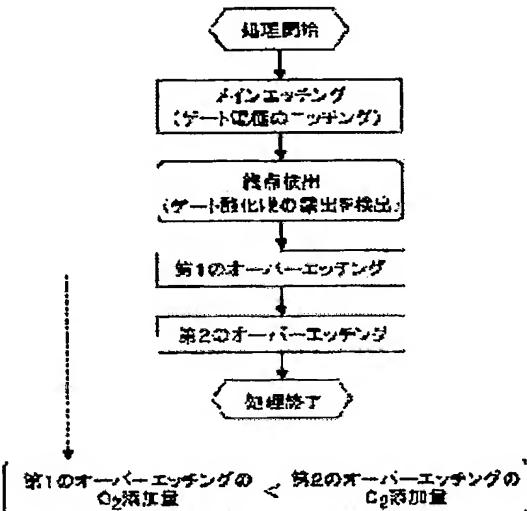
TSUDA MUTSUMI  
 TANIMURA JUNJI  
 MARUYAMA TAKAHIRO  
 YOSHIFUKU RYOICHI

## (54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To protect an edge of a gate electrode from a tapered shape which has been a trouble in a highly selective over-etching process which uses HBr/O<sub>2</sub>-based gas.

**SOLUTION:** In an etching step for an electrode or a wiring on an insulating film formed on a semiconductor wafer, an over-etching step using HBr/O<sub>2</sub>-based gas following the main etching step is separated into a plurality of steps, and the added quantity of a first over-etching step is made smaller than that of a second over-etching step. Then, the emitted quantity of deposits from the chamber wall at a primary stage of over-etching process can be decreased. As a result, the amount of a thin film products deposited on the sidewall of the gate electrode is decreased, and an anisotropic etching form is realized. The electrode and the wiring can be etched, without damaging the base insulation film, and highly selective over-etching step is realized.



## LEGAL STATUS

[Date of request for examination] 02.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2003-151954  
(P2003-151954A)

(43)公開日 平成15年5月23日(2003.5.23)

(51)Int.Cl.<sup>7</sup>  
H 01 L 21/3065

識別記号

F I  
H 01 L 21/302

テーマコード(参考)  
F 5 F 0 0 4

審査請求 未請求 請求項の数8 OL (全8頁)

(21)出願番号 特願2001-351652(P2001-351652)

(22)出願日 平成13年11月16日(2001.11.16)

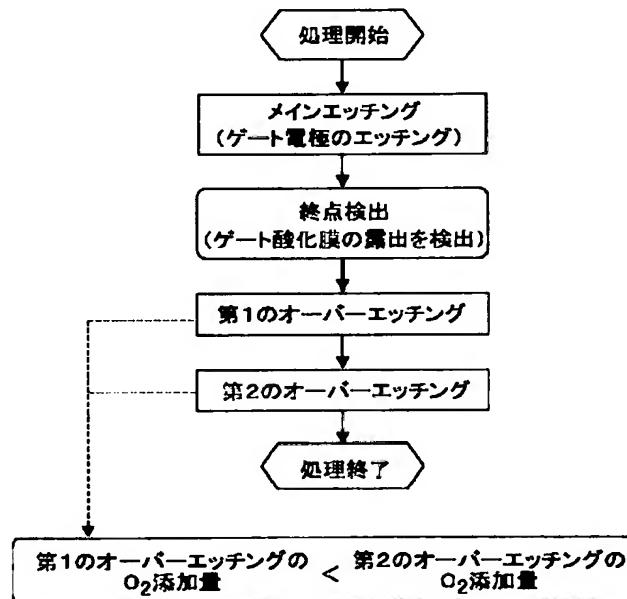
(71)出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72)発明者 新谷 賢治  
東京都千代田区丸の内二丁目2番3号 三菱  
電機株式会社内  
(72)発明者 津田 駿  
東京都千代田区丸の内二丁目2番3号 三菱  
電機株式会社内  
(74)代理人 100102439  
弁理士 宮田 金雄 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 HBr/O<sub>2</sub>系のガスを用いた高選択オーバーエッティング工程において問題となっていた、ゲート電極端部の形状がテーパー化することを防止する。

【解決手段】 半導体ウェハ上に形成された絶縁膜上の電極や配線をエッティングする工程において、メインエッティング工程に続くHBr/O<sub>2</sub>系のガスを用いたオーバーエッティング工程を複数のステップに分割するとともに、第1のオーバーエッティング工程のO<sub>2</sub>添加量が第1のオーバーエッティング工程のO<sub>2</sub>添加量よりも少なくなるようにすることで、オーバーエッティング工程初期にチャンバ壁から供給される付着物の放出量を低減でき、これによりゲート電極側壁に付着する薄膜生成物量が減少するため、異方性のエッティング形状が実現できる。また、下地絶縁膜に損傷を与えることなく電極や配線をエッティングでき、高選択なオーバーエッティング工程が実現される。



## 【特許請求の範囲】

【請求項1】 半導体基板表面に設けられた絶縁膜上に形成された、電極または配線材料にエッティング処理を施し前記絶縁膜を露出させるメインエッティング工程と、このメインエッティング工程の後に、ハロゲンガスとのハロゲンガスによる前記絶縁膜のエッティングを抑制する効果を有する添加ガスとから成る第1の混合ガスを利用したエッティングにより、前記メインエッティング工程のエッティング処理にてエッティングされなかつた前記電極または前記配線材料のエッティング残渣をエッティングする第1のオーバーエッティング工程と、

この第1のオーバーエッティング工程の後に、前記第1の混合ガスよりも多い比率の前記添加ガス量を有する前記ハロゲンガスと前記添加ガスとから成る第2の混合ガスを利用したエッティングにより、前記エッティング残渣をエッティングする第2のオーバーエッティング工程を有してなる半導体装置の製造方法。

【請求項2】 前記添加ガスがO<sub>2</sub>またはN<sub>2</sub>のいずれか若しくはその組み合わせにてなる請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第1の混合ガスにおける添加ガスが添加量が5%以下のO<sub>2</sub>である請求項1または2に記載の半導体装置の製造方法。

【請求項4】 前記ハロゲンガスがHBr、Cl<sub>2</sub>、HClまたはHIのいずれか若しくはその組み合わせにてなる請求項1から3のいずれかに記載の半導体装置の製造方法。

【請求項5】 前記電極または配線材料がSiを含んでなる請求項1から4のいずれかに記載の半導体装置の製造方法。

【請求項6】 前記メインエッティング工程におけるエッティング処理は、HBr/O<sub>2</sub>/Cl系の第3の混合ガスを利用してなる請求項1から5のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記第1のオーバーエッティング工程におけるオーバーエッティングの時間が前記第2のオーバーエッティング工程におけるオーバーエッティングの時間の1/3以下である請求項1から6のいずれかに記載の半導体装置の製造方法。

【請求項8】 前記メインエッティング工程、前記第1のオーバーエッティング工程及び前記第2のオーバーエッティング工程において前記半導体基板が0°C以下に保持されてなる請求項1から7のいずれかに記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、ことに、樹薄膜のゲート絶縁膜上に形成された電極もしくは配線材料をエッティングする方法に関するものである。

## 【0002】

【従来の技術】半導体デバイスの中でも、論理回路やシステムLSIに用いられているトランジスタは高性能が要求される。そのため、現在、ゲート絶縁膜の厚さは3nm以下に設定されており、さらに2nm以下まで薄くするための開発が行なわれている。また、ゲート電極長についても、0.1μm(100nm)以下にまで微細化するための開発が行なわれている。かかる微細なゲート電極形成のためのエッティングにおいては、この薄いゲート絶縁膜に対するダメージを防ぎつつ、ゲート電極に対する、高度な寸法仕上げ精度が要求される。このような要求に対し、ゲート電極材料をエッティングしつつ、ゲート絶縁膜を削らない高選択なエッティング方法についていくつかの提案がなされている。

【0003】図11は、J.Vac.Sci.Tech nol.B18(1)、156に開示された従来の半導体装置の製造方法を示すフロー図であり、アモルファスSiゲート電極のエッティングに対し、塩素(Cl<sub>2</sub>)、臭化水素(HBr)、酸素(O<sub>2</sub>)を含むガスを用いた

20 ゲート電極のメインのエッティングと、HBrとO<sub>2</sub>を含むガスを用いたゲート絶縁膜のオーバーエッティングとを組合せ、ゲート電極材料をエッティングしつつ、ゲート絶縁膜を削らない高選択なエッティングを実現した半導体装置の製造方法につき開示がされている。

【0004】この半導体装置の製造方法は、図12に示したような、厚さ1.8nmのゲート絶縁膜2、厚さ150nmのアモルファスSi3および厚さ50nmのTEOS酸化膜にて構成されたマスク4を備えた半導体基板1に対し、ヘリコンプラズマRIE装置等のエッティング装置を用いたエッティングを行ない、図13に示したような、ゲート電極3'の形成を行なうものである。

【0005】かかる半導体装置の製造方法においては、ゲート電極3'のエッティング(メインエッティング)は、塩素(Cl<sub>2</sub>)、臭化水素(HBr)、酸素(O<sub>2</sub>)の混合ガスを前述のヘリコンプラズマRIE装置に導入し、RFバイアスパワーが150Wの条件にて反応性プラズマを生成することにより行われ、マスク4が形成されていない部分のアモルファスSi3がエッティングされる。また、この時、チャンバ内に設置されたエリプソメトリ

40 膜厚モニタにより、アモルファスSi3の残膜厚がモニターされ、エッティングが進行し、アモルファスSi3の残膜厚が30nmになると、ゲート絶縁膜2が削られないよう高選択(ゲート電極層/ゲート絶縁膜層のエッティングレート比~100)なエッティング条件に切り換えられる(以下、オーバーエッティング工程と呼ぶ)。このオーバーエッティング工程においては、HBr(50scm)とO<sub>2</sub>(8scm)の混合ガス(O<sub>2</sub>添加量~14%)にて、ヘリコンプラズマRIE装置のRFバイアスパワーが60Wの条件にて、ゲート絶縁膜上に残ったアモルファスSiが一定時間エッティングされる。

【0006】図13は、かかる半導体装置の製造方法により、終点判定時（アモルファスSi3の残膜厚30nmを検出する時点）までエッティングを行なった後のゲート電極3'の断面図で、5はメインエッティング後に残った30nmのアモルファシリコンを示している。また、図14は、かかる半導体装置の製造方法により、オーバーエッティングまでエッティング処理を行なった後のゲート電極3'の断面図であり、6はゲート電極側壁に付着したSiBr<sub>x</sub>O<sub>y</sub>などのデポ物を示している。

#### 【0007】

【発明が解決しようとする課題】従来のゲート電極のエッティングは、上述した方法により行われ、その結果得られた従来のゲート電極は、図13に示されるような断面テーパー形状を有していた。このようなテーパー形状は、そのテーパー角度の安定制御が困難であり、ゲート寸法のばらつきを引き起こし、半導体装置の製造方法において問題となっていた。また、将来的に、ゲート長Lg～0.1μm以下のデバイスの製造においては、このゲート寸法のばらつきがデバイスの歩留まりを低下させることも十分に予想される。さらに、極薄膜のゲート絶縁膜（T<sub>ox</sub><3nm）上にゲート電極を形成する場合において、異方性のエッティング形状を得ようとして、オーバーエッティングのO<sub>2</sub>添加量を低減する、即ち低選択な比較的強いオーバーエッティングの条件にすると、図15に示されるように、ゲート絶縁膜もエッティングされゲート酸化膜に突き抜けが生じてしまうという問題もあつた。

【0008】かかる問題に対し、本発明は、絶縁膜上のSiを含有した電極や配線のエッティングにおいて、異方性のエッティング形状が得られ、更に下地の絶縁膜が極薄膜の場合でも絶縁膜の突き抜けを生じることなく電極や配線のエッティングが行える、半導体装置の製造方法を提供することを目的とする。

#### 【0009】

【課題を解決するための手段】この発明にかかる半導体装置の製造方法は、半導体基板表面に設けられた絶縁膜上に形成された、電極または配線材料にエッティング処理を施し絶縁膜を露出させるメインエッティング工程と、メインエッティング工程の後に、ハロゲンガスとハロゲンガスによる絶縁膜のエッティングを抑制する効果を有する添加ガスとから成る第1の混合ガスを利用したエッティングにより、メインエッティング工程のエッティング処理にてエッティングされなかった電極または配線材料のエッティング残渣をエッティングする第1のオーバーエッティング工程と、第1のオーバーエッティング工程の後に、第1の混合ガスよりも多い比率の添加ガス量を有するハロゲンガスと添加ガスとから成る第2の混合ガスを利用したエッティングにより、エッティング残渣をエッティングする第2のオーバーエッティング工程を有したものである。

【0010】この発明にて用いられる添加ガスはO<sub>2</sub>ま

たはN<sub>2</sub>のいずれか若しくはその組み合わせとすることができます。また、第1の混合ガスにおける添加ガスは添加量が5%以下のO<sub>2</sub>であってもよい。

【0011】この発明にて用いられるハロゲンガスはHBr、Cl<sub>2</sub>、HClまたはHIのいずれか若しくはその組み合わせとすることができます。

【0012】この発明にて用いられる電極または配線材料はSiを含んでいてもよい。

【0013】この発明におけるメインエッティング工程に10におけるエッティング処理は、HBr/O<sub>2</sub>/Cl系の第3の混合ガスを利用することができる。

【0014】この発明における第1のオーバーエッティング工程におけるオーバーエッティングの時間は第2のオーバーエッティング工程におけるオーバーエッティングの時間の1/3以下であってもよい。

【0015】この発明におけるメインエッティング工程、第1のオーバーエッティング工程及び第2のオーバーエッティング工程において半導体基板を0°C以下に保持してもよい。

#### 20 【0016】

##### 【発明の実施の形態】実施の形態1

図1は、本発明にかかる半導体装置の製造方法を示すフロー図であり、図2～5は、本発明にかかる半導体装置の製造方法を実施した場合の、各工程における半導体装置の断面構成を説明する図である。かかる製造方法に用いられる半導体装置は、半導体基板1（Siウェハー）上にゲート絶縁膜2（SiO<sub>2</sub>）、ゲート電極3（Poly-Si）およびマスク4（TEOS酸化膜）が設けられたものである（図2）。以下、図1に示されたフローに従って製造方法を説明する。かかる半導体装置の製造方法においては、まず初めに、例えば、Cl<sub>2</sub>、HBrおよびO<sub>2</sub>の混合雰囲気内でPoly-Siなどからなるゲート電極や配線材料に対しメインエッティング工程においてエッティングを行う（図3）。この時、下地材料であるゲート絶縁膜の露出の有無を、例えば、プラズマ発光やエリプソメトリにより常時モニターしておく。そして、下地材料であるゲート絶縁膜の一部の露出が確認されると、雰囲気ガスを、例えば、HBr/O<sub>2</sub>系のガスに交換し、O<sub>2</sub>添加量の少ない比較的強いオーバーエッティング条件である第1のオーバーエッティング工程によりゲート電極側壁へのデポジションにより生成された物質（以下、デポ物と呼ぶ）の付着を抑制しつつ、ゲート電極のエッティング形状を整える（図4）。第1のオーバーエッティング工程開始から所定の時間経過後、第1のオーバーエッティング工程におけるO<sub>2</sub>添加量よりも多いO<sub>2</sub>添加量を有する雰囲気ガスに切り換え、比較的弱いオーバーエッティング条件である第2のオーバーエッティング工程によりゲート絶縁膜上に残っているPoly-Siの残渣をエッティングする。これにより、ゲート絶縁膜に突き抜けを生じることなく、垂直なエッティング形状が実現

できる(図5)。

【0017】ここで、第1のオーバーエッティング工程開始から所定の時間経過後とは、第1のオーバーエッティング工程におけるオーバーエッティング時間と第2のオーバーエッティング工程におけるオーバーエッティング時間の比が約1/3以下となる時間を言う。具体的には、第2のオーバーエッティング工程におけるオーバーエッティング時間が1分の場合で約20秒以下、第2のオーバーエッティング工程におけるオーバーエッティング時間が1分30秒の場合で約30秒以下、第2のオーバーエッティング工程におけるオーバーエッティング時間が2分の場合で約40秒以下の時間の経過を意味する。このように、メインエッティング工程にて完全に除去できないエッティング残渣の除去を目的としたオーバーエッティング工程を、エッティングガスがゲート電極材料を削る効果を抑制するO<sub>2</sub>等の添加ガス量を調整し比較的強いオーバーエッティング条件の第1のオーバーエッティング工程と比較的弱いオーバーエッティング条件の第2のオーバーエッティング工程とに分けることにより、下地として存在するゲート絶縁膜を損傷することなく、断面テープー形状を有しないゲート電極が得られる半導体装置の製造方法が実現される。

【0018】以下に、かかる半導体装置の製造方法を用いて、TEOS酸化膜厚50nm、Poly-Siゲート電極厚200nm、ゲート絶縁膜厚2nmである半導体装置においてゲート長0.12μmのゲート電極を作成する方法につき説明する。ここではECR-RIE装置(8インチウエハ用試作機、チャンバ内径=350mm,ポンプの排气速度=2000l/min)を用い、半導体装置を設置するステージ温度(-5°C)と磁場発生用のコイル電流値は各工程において一定とした。

【0019】まず最初、上述の半導体装置に対し、メインエッティング工程として、Cl<sub>2</sub>(45scm)、HBr(100scm)、O<sub>2</sub>(7scm)の混合雰囲気内で、ガス圧力=3mTorr(約0.4Pa)、マイクロ波電力=500W、RFバイアス電力=40Wの条件でゲート絶縁膜の一部が露出するまでPoly-Siのエッティング速度=150nm/minのエッティング速度でエッティングを実施した。

【0020】次に、第1のオーバーエッティング工程として、HBr(100scm)、O<sub>2</sub>(3scm)の混合雰囲気(O<sub>2</sub>添加量=2.9%)にて、ガス圧力=3mTorr、マイクロ波電力=500W、RFバイアス電力=40Wの条件(Poly-Siのエッティング速度=120nm/min)で、15秒間エッティングを行った。

【0021】その後、第2のオーバーエッティング工程として、第1のオーバーエッティング工程よりもO<sub>2</sub>流量を増大させて、HBr(100scm)、O<sub>2</sub>(10scm)の混合雰囲気(O<sub>2</sub>添加量=9%)にて、ガス圧力=3mTorr、マイクロ波電力=500W、RF

バイアス電力=40Wの条件(Poly-Siのエッティング速度=125nm/min)で、60秒間エッティングを行なった。

【0022】この結果、ゲート絶縁膜(厚み:2nm)に突き抜けを生じることなくゲート電極をエッティングすることができ、従来、CDシフト(エッティング仕上がり寸法からTEOSマスク寸法を引いた値)が~20nmであったものをCDシフトが~3nmにまで低減できた(即ち、垂直なエッティング形状が得られた)。また、これにより半導体デバイスの性能や生産性が向上した。

【0023】なお、上述の例においては、メインエッティングから第1のオーバーエッティングへの切り換えは、ゲート絶縁膜の一部が露出した時点で行なったが、ゲート絶縁膜が露出する前、例えばゲート電極残り厚さ~30nm程度で切り換えるても同様の効果が得られる。また、このエッティング終点の検出は、プラズマ発光モニタやレーザーエンドポイント等の終点検出方法により行なうことができる。

【0024】また、半導体装置のマスク材料としては、上述のTEOS酸化膜に限らず、SiNやフォトレジストであってもよく、また、メインエッティングの対象としては、アモルファスシリコン膜、不純物を注入したドープドポリシリコン膜、ポリサイド構造(WSi/Poly-Si)やポリメタル構造(W/WN/Poly-Si)にて構成されるゲート電極であってもよく、さらに、ゲート電極だけでなく、これらの膜構造を有した配線などであってもよい。

【0025】本発明に用いられるエッティング装置としては、上述のECR-RIE装置に限定されることなく、他のプラズマ生成方式のエッティング装置でも同様の効果が得られる。また、オーバーエッティング工程に用いるエッティングガスとしては、HBr、Cl<sub>2</sub>、HClまたはHIのいずれか若しくはその組み合わせにてなるハログンガスを用いることができ、これらのガスに希ガス(H<sub>2</sub>、Ar)やN<sub>2</sub>などの不活性ガスを添加した場合にも同様の効果が得られる。

【0026】次に、本発明にかかる半導体装置の製造方法を用いることにより、垂直な断面形状を有するゲート電極が得られる理由につき検討した結果を以下に述べる。図6は、本発明にかかる半導体装置の製造方法における、オーバーエッティング開始後のゲート絶縁膜厚の変化を示した図である。エッティング条件は図1と同じである。図6から分かるように、エッティングが開始されているにもかかわらず、ゲート絶縁膜の膜厚はオーバーエッティングの初期において増加している。本願発明者らは、かかる現象に対し、以下に示すような様々な角度からの検討を行ない、オーバーエッティングの開始初期に、チャンバー壁に付着している蒸着物(デポ物)が、ガスの交換や温度変化もしくはプラズマなどの影響で、チャンバー壁から放出され、半導体装置上に飛来することによ

り、ゲート絶縁膜の薄厚増加が生じているのではないかと推定するに至った。

【0027】図7は、本発明にて用いた半導体装置に対し、高O<sub>2</sub>濃度の従来条件(O<sub>2</sub>濃度:~20%、ここでは9%とした)および低O<sub>2</sub>濃度の条件(O<sub>2</sub>濃度:~5%、ここでは2.9%とした)でオーバーエッチを施した時のゲート絶縁膜の残膜量の時間変化を調査した結果である。用いたガスの種類は図1の場合と同じである。図から分かるように、従来用いられていたような高O<sub>2</sub>濃度のガス組成においてはゲート酸化膜のエッティングは殆ど進行せず、一方、O<sub>2</sub>添加量の少ないガス組成においてはゲート絶縁膜のエッティングが進展し、最終的には突き抜けが発生している。

【0028】また、図8は、本発明にかかる半導体装置の製造方法において、オーバーエッティング開始5秒後にウエハ上に堆積するデボ物(SiBr<sub>x</sub>O<sub>y</sub>)の量の酸素濃度依存性を示した図である。用いたガスの種類は図1の場合と同じである。図8に示すように、オーバーエッティング開始5秒後にウエハ上に堆積するデボ量は、O<sub>2</sub>濃度の増加にともない増大している。なお、本発明にかかる半導体装置の製造方法において得られる、デボ物の堆積量を抑制する効果は、第1のオーバーエッティング工程におけるO<sub>2</sub>添加量よりも第2のオーバーエッティング工程におけるO<sub>2</sub>添加量の方が多い場合に得られるが、図8より、第1のオーバーエッティング時のO<sub>2</sub>添加量は5%以下であることが好ましく、3%以下であればさらに好ましいことが分かる。また、薄いゲート酸化膜上のゲート電極をエッティングする場合に、第1のオーバーエッティングのO<sub>2</sub>添加量を低下させるとエッティングの選択的効果(ゲート電極材料のみをエッティングし、ゲート絶縁膜はエッティングしないことを言う)が低下する為、ゲート酸化膜に突き抜けが生じることがある。この場合には、第1のオーバーエッティング工程にてエッティング装置に印加するRFバイアス電力を、第2のオーバーエッティング工程にて印加するRFバイアス電力比べ抑制することにより、エッティングの選択的効果を低下させることなくデボ物の付着量を低減できる。

【0029】図9は、上述した、本発明にかかる半導体装置の製造方法における、デボ物の堆積レートのオーバーエッティング時間依存性を示す図である。用いたガスの組成は図1の場合と同じである。ウエハ上に供給されるデボ物の堆積レートは、図9に示すように、オーバーエッティング時間の増加に伴い急激に減少している。このことから、オーバーエッティング中にウエハ上に供給されるデボ物は、オーバーエッティング開始後5秒~10秒の間に大幅に低減し、15秒~30秒で完全に消失することがわかる。

【0030】次に、本発明にかかる半導体装置の製造方法を用いることにより、ゲート電極の側面における断面テープー形状の形成が抑制されるが、これについては、

以下のように考えることができる。即ち、従来の半導体装置の製造方法においては、図14に示したように、メインエッティング後に存在するゲート電極の側面のテーパー部分を、飛来したデボ物が覆うものと思われる。そのため、このデボ物によりその後のオーバーエッティングが抑制され、ゲート電極端部のテーパー形状を有した部分はエッティングされずに残る。そのため、オーバーエッティング工程の終了後に半導体装置が洗浄されると、テーパー部に存在したデボ物が除去され、テーパー形状を有したゲート電極が現出するものと考えられる。

【0031】次に、エッティング形状のテーパー角度のステージ温度依存性について調査した結果を説明する。図10において、○は、図1にて説明した本発明にかかる半導体装置の製造方法において、半導体装置を保持するステージの温度を変化させ、その結果得られたゲート電極端部のテーパー形状との関係を示した図である。また、●は比較のために、従来の半導体装置の製造方法(1ステップのオーバーエッティング)において、半導体装置を保持するステージの温度を変化させゲート電極端部のテーパー形状を測定した図である。従来の方法にて製造される半導体装置は、ウエハを積載するステージ温度が0°C以下の場合には、多量のデボ物の付着により、大きなテーパー形状(テーパー角度が小さい)を有していた。しかしながら、本発明により、ステージ温度が0°C以下の場合でも、異方性のエッティング形状を得ることができることが確認された。

【0032】この第1のオーバーエッティング工程におけるオーバーエッティングの時間は前述の図7及び9より、5秒から10秒、好ましくは15秒から30秒程度が好ましく、この時間はチャンバーの大きさ、チャンバーハードウェアあるいは印加されるRFバイアス電力等により最適値が変動するが、第1のオーバーエッティング工程におけるオーバーエッティングの時間と第2のオーバーエッティング工程におけるオーバーエッティング時間の比率に換算すると、概ね1/4以下~1/3以下、即ち、全オーバーエッティング時間のうちのほぼ1/5~1/4程度の時間であればよいと考えられる。また、第1のオーバーエッティング工程におけるO<sub>2</sub>添加量としては、図8より5%以下の場合に有効であり、3~4%であればさらに好ましい。

【0033】以上、本願発明者らは、上述した現象の発見に基づき、電極や配線材料をエッティングするメインエッティング工程に続く第1のオーバーエッティング工程として、O<sub>2</sub>添加量の少ない比較的強いオーバーエッティングの条件でデボ物の供給が無くなる時間以上オーバーエッティングを実施し、その後、O<sub>2</sub>添加量の多い比較的弱いオーバーエッティングの条件の第2のオーバーエッティング工程に切り換えることにより、異方性のエッティング形状を得つつ、ゲート絶縁膜の突き抜けのない電極や配線材料の選択的エッティングが実現できることを見出し、本願

発明に到達したものである。

【0034】

【発明の効果】以上、この発明にかかる半導体装置の製造方法によれば、半導体基板表面に設けられた絶縁膜上に形成された、電極または配線材料にエッティング処理を施し絶縁膜を露出させるメインエッティング工程と、このメインエッティング工程の後に、ハロゲンガスとこのハロゲンガスによる絶縁膜のエッティングを抑制する効果を有する添加ガスとから成る第1の混合ガスを利用したエッティングにより、メインエッティング工程のエッティング処理にてエッティングされなかつた電極または配線材料のエッティング残渣をエッティングする第1のオーバーエッティング工程と、第1のオーバーエッティング工程の後に、第1の混合ガスよりも多い比率の添加ガス量を有するハロゲンガスと添加ガスとから成る第2の混合ガスを利用したエッティングにより、エッティング残渣をエッティングする第2のオーバーエッティング工程を有しているため、オーバーエッティング工程の初期の段階にチャンバー壁等から飛来するデボ物の影響を低減した上で、絶縁膜に損傷を与えることなく、垂直な端面形状を有した電極または配線材料を形成することができる半導体装置の製造方法が実現される。

【0035】また、本発明において、添加ガスとしてO<sub>2</sub>またはN<sub>2</sub>のいずれか若しくはその組み合わせにて構成されるガスを用いた場合には、ハロゲンガスによる絶縁膜をエッティングを抑制する効果が大きいため、選択性の調整を簡易に行うことができ、所定の選択性が容易に得られる。また、第1の混合ガスにおける添加ガスとして添加量が5%以下のO<sub>2</sub>を用いた場合には、壁からのデボ物の飛来を抑制でき、好適である。

【0036】また、本発明において、ハロゲンガスとしてHBr、Cl<sub>2</sub>、HClまたはHIのいずれか若しくはその組み合わせにてなるガスを用いた場合には、金属やSi系のような様々な材質の電極および配線材料に対してエッティング効果を有するため、適用範囲が広く好適である。また、電極または配線材料がSiを含んでいる場合には、比較的安定かつ高いエッティングレートが得られ好適である。

【0037】また、本発明において、メインエッティング工程におけるエッティング処理が、HBr/O<sub>2</sub>/Cl系の第3の混合ガスを利用して行われる場合には、メインエッティング工程とオーバーエッティング工程の両工程がHBr/O<sub>2</sub>系のガスを用いた工程となり、好適である。

【0038】また、本発明において、第1のオーバーエッティング工程におけるオーバーエッティングの時間が第2のオーバーエッティング工程におけるオーバーエッティングの時間の1/3以下である場合には、チャンバー壁から飛来するデボ物の基板への影響を抑制しつつ、メインエッティング工程にてエッティングされなかつた電極または配線材料を、絶縁膜を損傷することなくエッティングする効

果が確実に行られ、好適である。

【0039】また、本発明にかかる半導体装置の製造方法を用いれば、メインエッティング工程、第1のオーバーエッティング工程及び第2のオーバーエッティング工程において半導体基板が0°C以下に保持された場合でも、垂直な端面形状が得られ、好適である。

【図面の簡単な説明】

【図1】 本発明にかかる半導体装置の製造方法を示すフロー図である。

10 【図2】 本発明にかかる半導体装置の製造方法に用いられる半導体装置のゲートエッティング前の断面構造を示す図である。

【図3】 本発明にかかる半導体装置の製造方法に用いられる半導体装置のメインエッティング後の断面構造を示す図である。

【図4】 本発明にかかる半導体装置の製造方法における半導体装置の第1のオーバーエッティング後の断面構造を示す図である。

20 【図5】 本発明にかかる半導体装置の製造方法における半導体装置の第2のオーバーエッティング後の断面構造を示す図である。

【図6】 本発明に用いられる半導体装置におけるゲート絶縁膜厚のオーバーエッティング時間依存性を示す図である。

【図7】 本発明に用いられる半導体装置におけるゲート絶縁膜厚のオーバーエッティング時間依存性の酸素濃度との関係を示す図である。

【図8】 本発明に用いられる半導体装置におけるデボ物の堆積量の酸素添加量依存性を示す図である。

30 【図9】 本発明に用いられる半導体装置におけるデボ物の堆積レートのオーバーエッティング時間依存性を示す図である。

【図10】 本発明に用いられる半導体装置におけるゲート電極端部のテーパー角のステージ温度依存性を示す図である。

【図11】 従来の半導体装置の製造方法を示すフロー図である。

【図12】 従来の半導体装置の製造方法に用いられる半導体装置のゲートエッティング前の断面構造を示す図である。

40 【図13】 従来の半導体装置の製造方法に用いられる半導体装置のメインエッティング後の断面構造を示す図である。

【図14】 従来の半導体装置の製造方法に用いられる半導体装置のオーバーエッティング後の断面構造を示す図である。

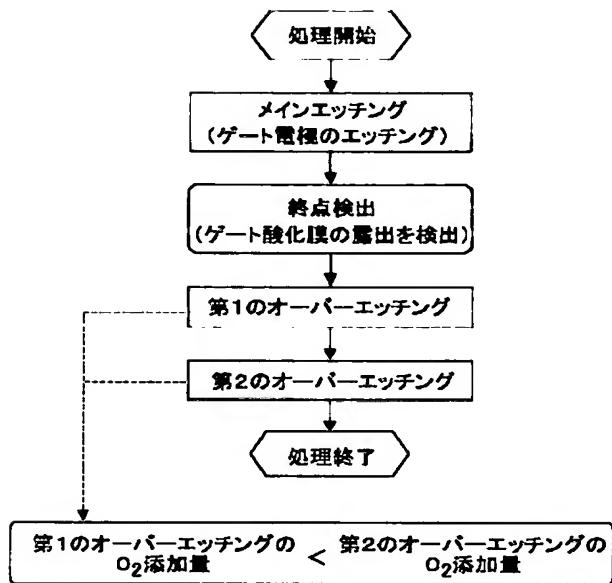
【図15】 従来の半導体装置の製造方法に用いられる半導体装置のゲート絶縁膜の突き抜けを説明する断面構造を示す図である。

50 【符号の説明】

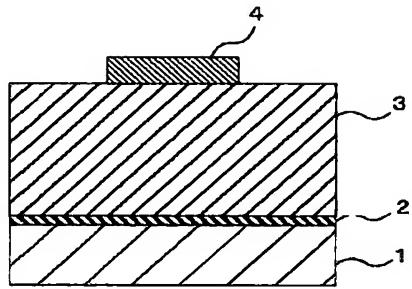
1 半導体基板、2 ゲート絶縁膜、3 アモルファスシリコン、3' ゲート電極、4 マスク

他の材料の残渣、6 デボ物、7 ゲート絶縁膜の突き抜け。

【図1】

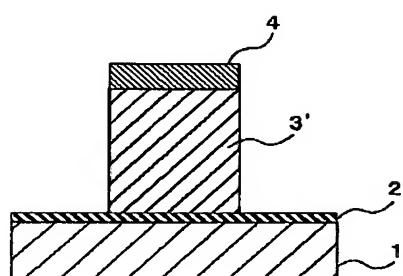


【図2】

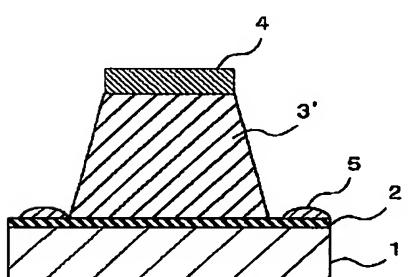


1: 半導体基板  
2: ゲート絶縁膜  
3: ゲート電極  
4: マスク

【図5】

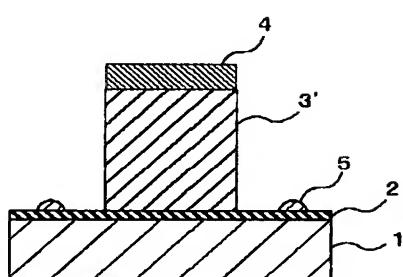


【図3】

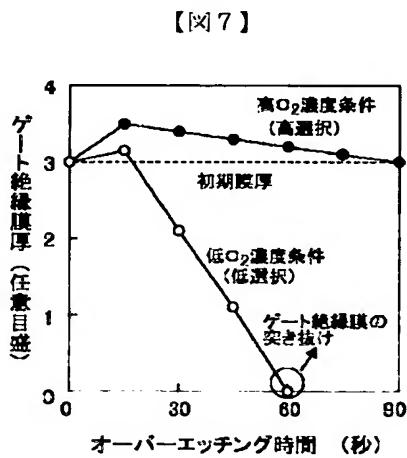
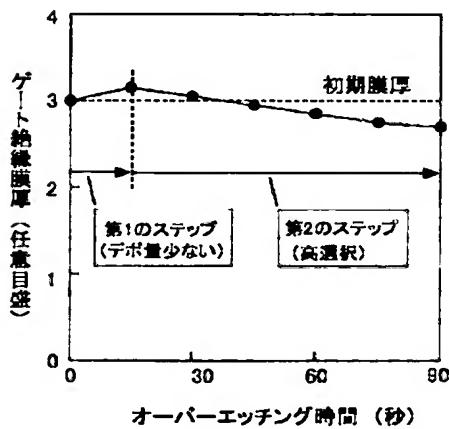


6: ゲート電極材料の残渣

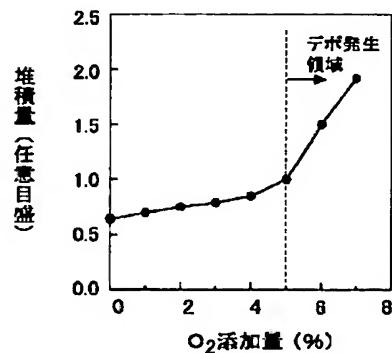
【図4】



【図6】

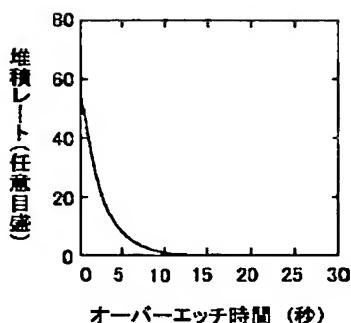


【図7】

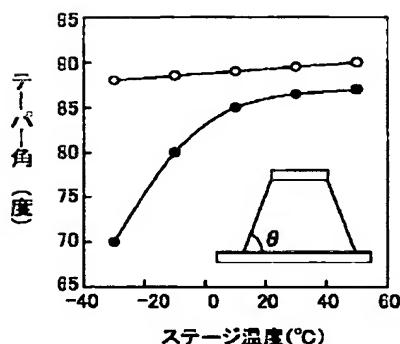


【図8】

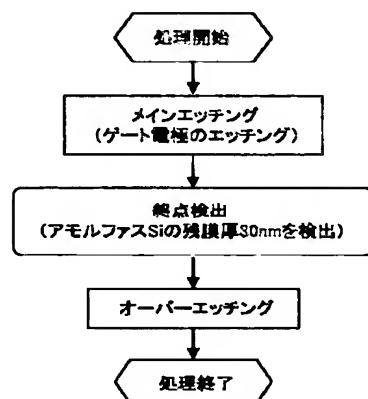
【図9】



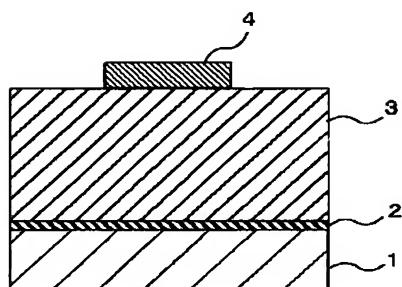
【図10】



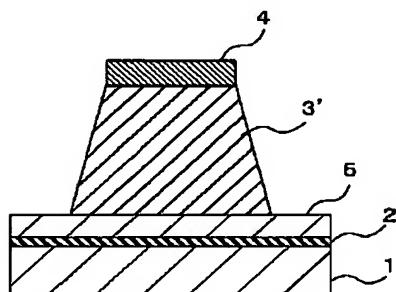
【図11】



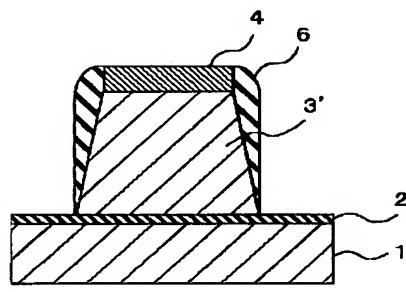
【図12】



【図13】

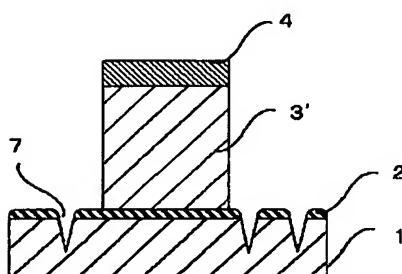


【図14】



6: デポ物( $\text{SiBr}_x\text{O}_y$ )

【図15】



7: ゲート絶縁膜の突き抜け

フロントページの続き

(72)発明者 谷村 純一

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 丸山 隆弘

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 吉福 良一

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

Fターム(参考) 5F004 AA09 BA04 BA14 BD03 CA02  
CA04 CB02 CB09 DA00 DA04  
DA26 DA29 DB02 EA28 EB02